

A close-up, artistic photograph of a microchip assembly process. A robotic arm with a fine, multi-tined tool is positioned over a circuit board, likely performing a precision task like wire bonding or component placement. The background is blurred, showing other parts of the assembly line.

セミコンダクター事業 アナログIP紹介

2025/08

会社紹介

THE BEST TECH SOLUTIONS.
FOR YOUR BUSINESS



アナログLSI設計受託サービス

LSIを創るから
協力してほしい！



お客さま
(電気・半導体メーカー)

おまかせください！



三菱ハイテックス

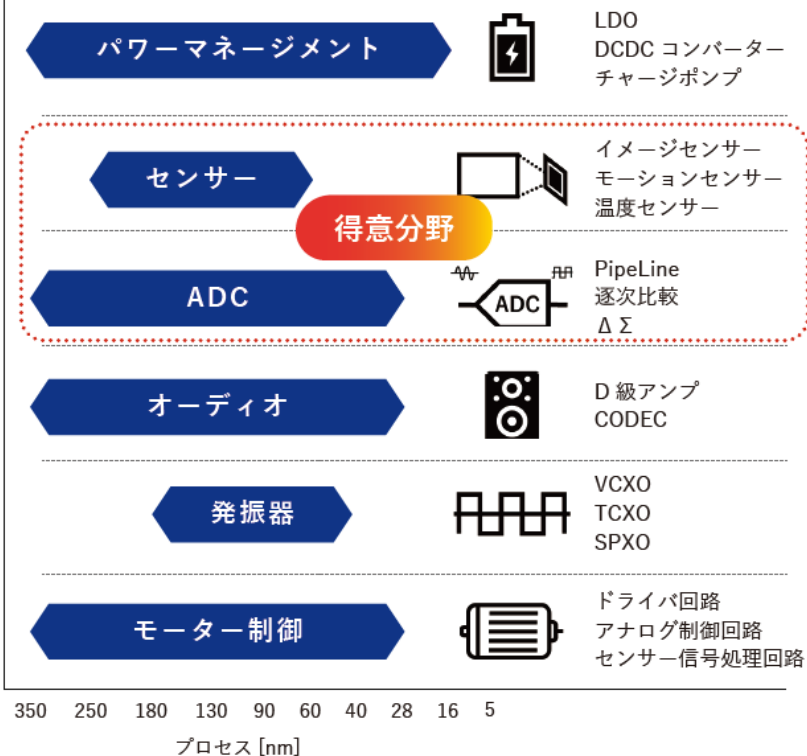
開発フロー

- 仕様検討**
開発する LSI / 半導体の要求仕様をもとに設計仕様を作成
- アーキテクチャ設計**
MATLAB/Simulink や verilogA を活用してアーキテクチャを設計
- 回路設計**
設計仕様とアーキテクチャ設計をもとに回路定数を設計
- レイアウト設計**
回路 / レイアウト設計者の連携で最適なレイアウトを実現
- FAB 工程**
- 試作評価・解析**
試作評価できる技術者と測定機器を保有

回路設計からレイアウト設計まで
一貫した設計ソリューションを提供

高度な設計技術と豊富な経験・実績で
デバイスの性能を最大限に引き出す

開発実績



ターンキーサービス

保有の高精度アナログ IP を用いて、開発期間の短縮に貢献

設計フェーズ

チップ製造フェーズ

0 IC 開発のご相談

1 仕様検討・実現性検討

2 回路設計

3 レイアウト設計

4 フォトマスク製造

5 ウェハ製造

6 パッケージ加工

7 試作評価

8 テスト開発

9 パッケージ検査／信頼性試験



お客様の高精度アナログ IC 開発のご要望に
当社保有の AFE 向け IP 技術でお応えします。

お客様



IC を開発したいけど
精度が高い IP が必要

三菱ハイテックス

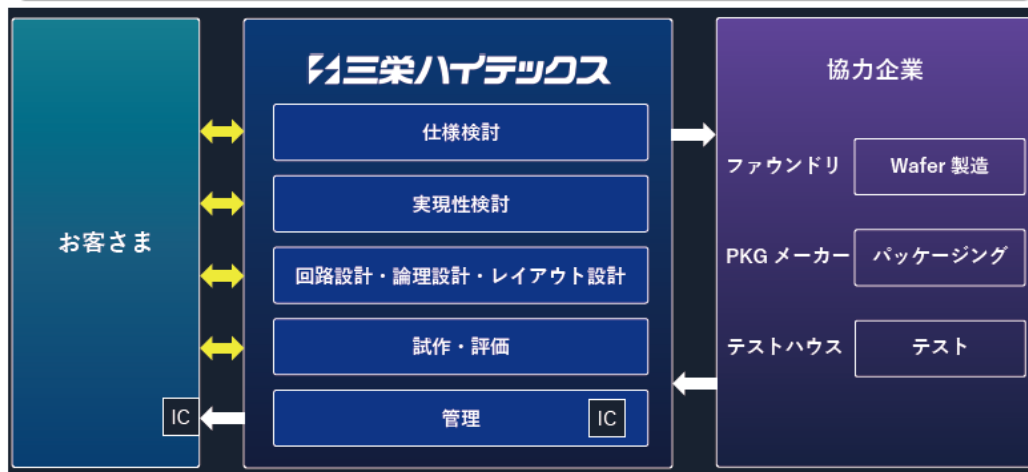


保有 IP から
ニーズに合う提案

三菱ハイテックス



お見積を提出
(期間、サイズ、費用)



センサー AFE プラットフォーム

開発リスク低減と開発期間の大幅短縮を実現する

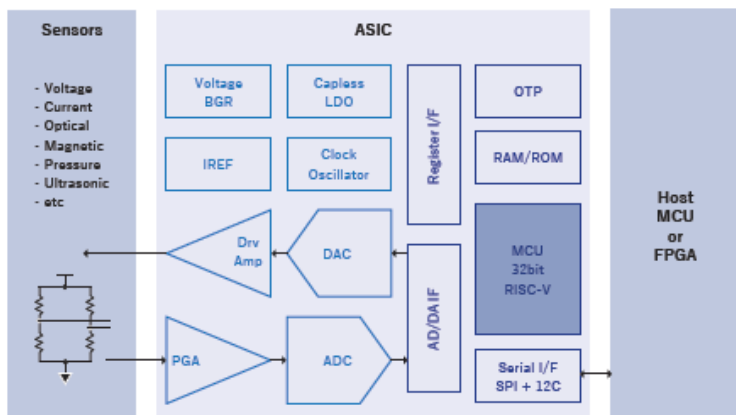
各種センサーに対応したセンサー AFE プラットフォーム

■お客様のニーズに合わせた IC 開発をご提案

<開発提案例>

- ・必要な機能だけに絞ったセミカスタム AFE 開発
- ・仕様に合わせたフルカスタム AFE 開発 など

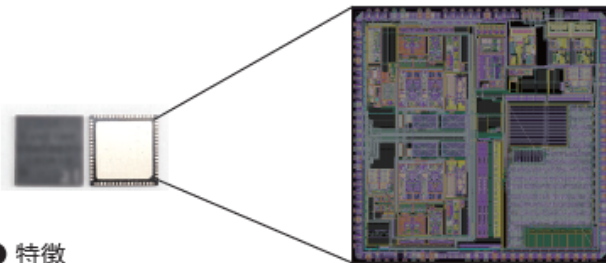
■【開発中】センサー AFE プラットフォーム



※センサー AFE プラットフォームは、現在開発中です。

お客様評価用センサー AFE サンプル IC 提供

- ・2026 年 4 月頃 提供開始予定
- ・センサーと接続した特性を先行確認



● 特徴

- ・12bit/16bit/24bit ADC
- ・12bit/16bit DAC
- ・Sensor Amp: PGA, TIA
- ・1.8V Capless LDO + HV LDO
- ・On-chip OSC, Voltage Reference
- ・MCU (RISC-V core) + RAM/ROM

● プロセス

TSMC 0.18 μ m BCD Gen2 1.8V/5V/HV
QFN80 Package

● 開発日程

2025 年 5 月 Tape Out
2025 年 9 月 評価開始予定

INDEX

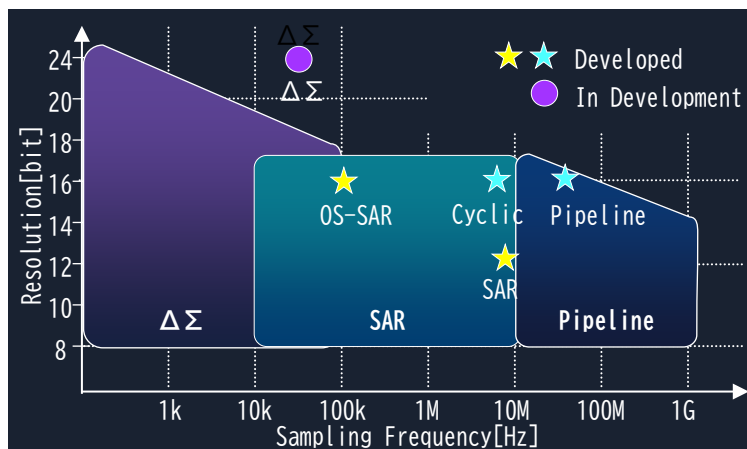
半導体アナログ回路IP

ADC-IP開発への取り組み	4
開発品を元にした設計のご提案	
試作アナログIC	5
ADC評価環境	
回路IP一覧（評価済、評価前）	6
[ADC] PipeLine / Cyclic	7
[ADC] SAR / OS-SAR	8
[ADC] $\Delta\Sigma$ ADC【開発中】	9
[DAC] OS【開発中】	
[電源] LD018【開発中】	10
[電源] LD050【開発中】	
[センサー入力アンプ] PGA / PGA1【開発中】	11
[センサー入力アンプ] ADC入力バッファ【開発中】	
[センサー入力アンプ] CFBA【開発中】	12
[センサー入力アンプ] TIA_DIF【開発中】	
[リファレンス] BGR / BGR_LP【開発中】	13
[リファレンス] RCOSC	14

半導体アナログ回路IPの紹介

ADC-IP開発への取り組み

Developed and Developing ADC product



■ 要求性能に応じて最適なADCをご提案します

パイプラインADC/サイクリックADC	16bit、数Msps～数十Msps向け
SAR-ADC	12bit、低速～10Mspsまで対応 速度を落とせば消費電流も低減可能
OverSampling-SAR	16bit、低速～100kspsまで対応 OSRの選択により、速度と精度を選択可能
DeltaSigma ADC	24bit、DC～音声帯域まで対応

開発品を元にした設計のご提案

■ カスタムアナログ回路の提供

お客様のニーズに最適なアナログIPをカスタマイズ設計し、高性能で信頼性の高い回路を提供します。

■ プロセスに最適化したポーティングサービス

お客様が指定されたプロセスに合わせて、既存のアナログIPを移植（ポーティング）し、プロセス適合性を確保した最適化されたアナログIPを提供します。

■ 既存アナログIPの販売

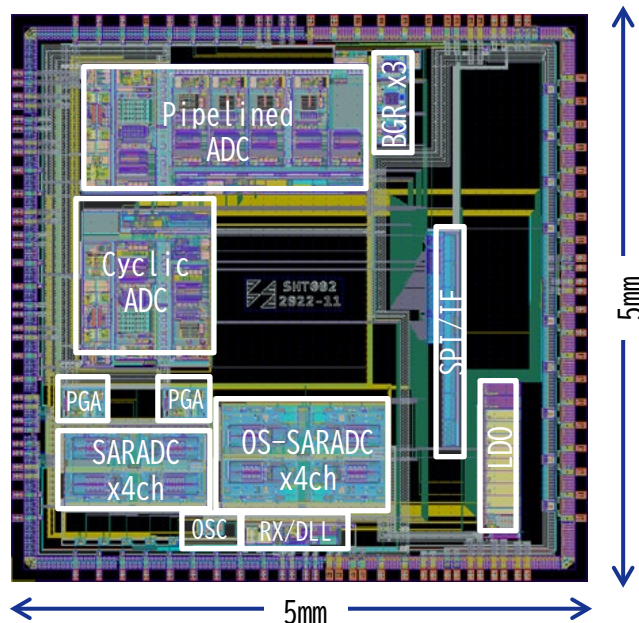
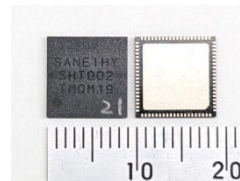
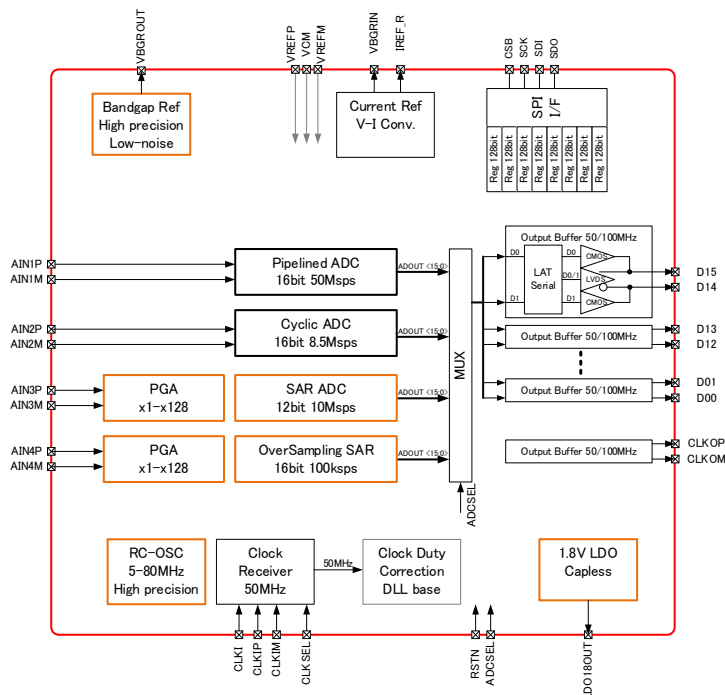
すでに開発済みのアナログIPも取り揃えており、すぐに利用可能なソリューションとして提供します。

柔軟な対応が可能ですので、お客様のプロジェクトに最適なIPを短期間で導入できます。

半導体アナログ回路IPの紹介

試作アナログIC

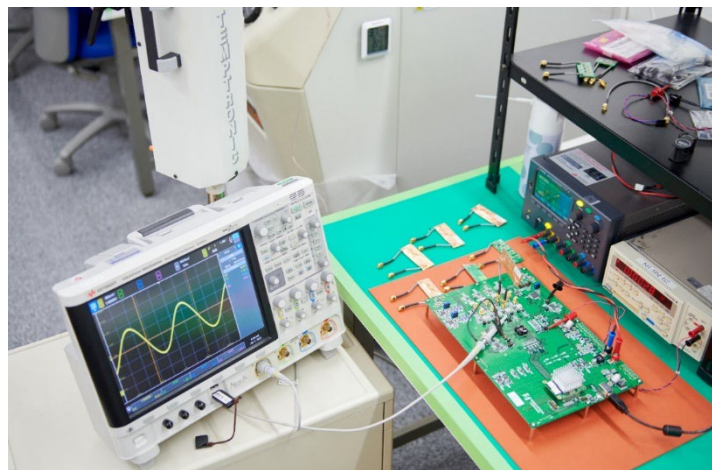
- プロセス : 0.18um 1.8V/3.3V
- ダイサイズ : 5mm x 5mm
- パッケージ : 9mm 80pin QFN



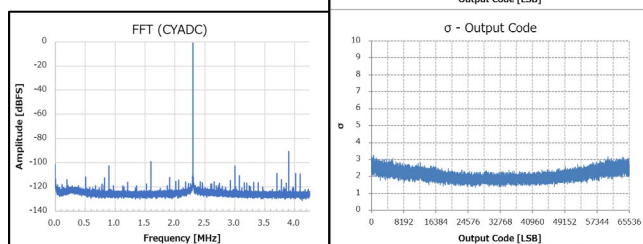
センサーと接続してデータを
取得する実験が可能

ADC評価環境

- 自社にて評価環境を立ち上げ可能
- システム検討～基板設計～ソフト開発
- 写真はFPGAを用いた試作ICの評価環境(参考)



PC+Excel
でグラフ化



半導体アナログ回路IPの紹介

回路IP一覧（評価済、評価前）

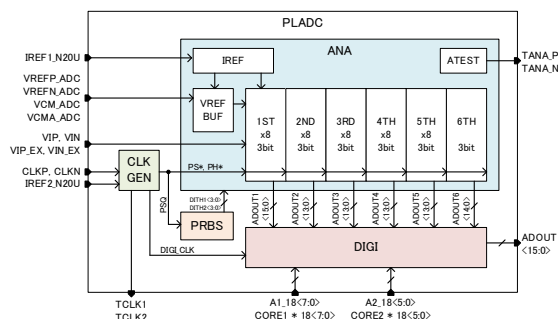
要素名	内容・性能（設計値）	特徴	面積 [mm ²]
ADC/DAC			
Pipelined ADC (PLADC)	パイプラインADC 16bit 50Msps SNR=80dB、184mW / 3.3V	高速+高精度、デジタル補正 Refバッファ内蔵	2.6
Cyclic ADC (CYADC)	サイクリックADC 16bit 8.5Msps SNR=81dB、57mW / 3.3V	高速+高精度、デジタル補正 Refバッファ内蔵	1.5
SARADC	SAR-ADC 12bit 10Msps SNR=69dB、1.7mW / 1.8V	高速+低電力+小面積、Refバッファ内蔵 100kSps~10MSps可変	0.15
OS-SAR ADC (SAROS)	OverSampling-SARADC 16bit 125ksps SNR>84dB、1.3mW / 1.8V	高精度+低電力+小面積、Refバッファ内蔵 個体トリミング不要	0.25
DeltaSigma ADC (DSADC) ※開発中	デルタシグマADC 24bit 48ksps SNR>100dB、1.0mW / 1.8V	高精度+低電力+小面積、Refバッファ内蔵 帯域 DC~20kHz	0.3
OS-DAC (DACOS) ※開発中	OverSampling-DAC 16bit 40ksps 12bit 2Msps、電圧出力 4.1mW / 5.0V	高精度+低電力+小面積+低グリッチ Refバッファ内蔵、遮断周波数 20kHz	0.41
センサー入力アンプ			
PGA	計装アンプ+バッファ(SARADC向け) x1倍~x128倍	低ノイズ 低オフセット(Autozero+Chopping) 出力コモン電圧可変(ADCの入力範囲に調整)	0.09
PGA1 ※開発中	計装アンプ+バッファ(ADBUF向け) x1倍~x128倍	低ノイズ 低オフセット(Autozero+Chopping) 出力コモン電圧可変(ADCの入力範囲に調整)	0.12
ADC入力バッファ (ADBUF) ※開発中	ADC入力バッファ(SARADC, DSADC向け) x1倍	低ノイズ(Chopping) 広出力容量範囲(幅広いADCの入力容量に対応)	0.05
Current FeedBack AMP (CFBA) ※開発中	コモン電圧変換回路(Differential) x1倍~x128倍	GND付近の電圧センス、出力コモン電圧可変 低ノイズ 低オフセット(Autozero+Chopping)	0.17
Differential TIA (TIA_DIFF) ※開発中	I-V変換回路(Differential) TIA Gain=1kΩ/ 10kΩ/ 100kΩ	広入力負荷容量max. 200pF、外付け素子不要 広入力電流max. 1mA@1kΩ	0.17
電源			
LDO MV→1.8V (LD018) ※開発中	LDO MV(3V~5V)→1.8V ±5% Iload≤10mA、36uA / 5V	Capless対応 高速応答+低消費電流+小面積 外付け容量0.1uFまで対応、過電流短絡保護	0.13
LDO HV→5V (LD050) ※開発中	LDO HV(6V~36V)→5V ±5% Iload≤50mA、42uA / 12V	広入力電圧範囲、低消費電流、BGR内蔵 外付け容量10uFまで対応、過電流短絡保護	0.35
リファレンス			
高精度Bandgap (BGR)	高精度Bandgap 1.0V 0.2% 50uA / 3.3V	高精度・低ノイズ 常温1点トリミング	0.06
Low Power Bandgap (BGR_LP) ※開発中	低電力Bandgap 1.0V 3% 7.0uA / 5.0V	低消費電流+小面積	0.04
RCOSC	高精度RC-OSC 5~80MHz 1.5% 80uA@40MHz/1.8V	高精度・低消費電流 常温1点トリミング	0.03

IPの紹介 [ADC]

Pipeline / Cyclic ADC

特徴

- 高い電力効率
- VREFバッファ内蔵
- デジタル補正
- 多チャンネル化
- パイプライン遅延小



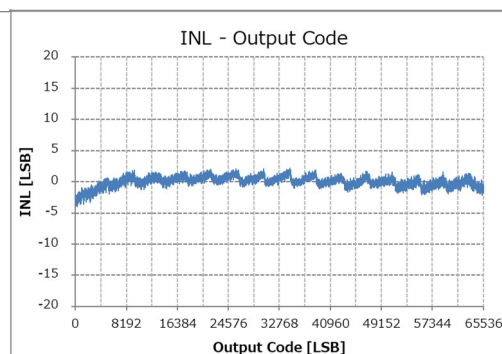
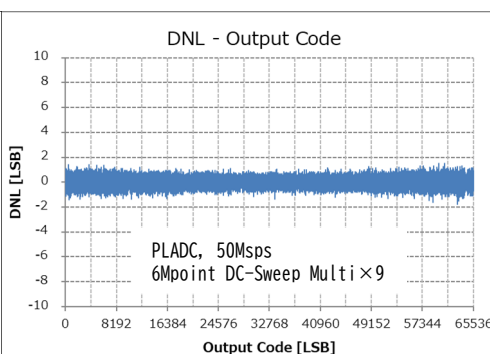
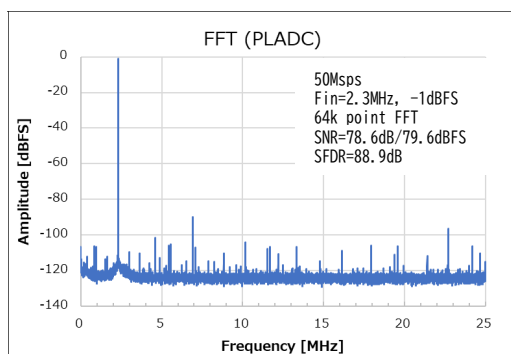
項目	設計値		単位	備考
	Pipelined ADC	Cyclic ADC		
分解能	16	16	bit	
サンプリングレート	50	8.5	MSps	
クロック入力	50	51	MHz	CyclicADCは内部で6分周
データレイテンシ	5	2	CLK	CyclicADCは8.5MHz基準
電源電圧 アナログ	3.3	3.3	V	
電源電圧 デジタル	1.8	1.8	V	
消費電力	170	60	mW	3.3V+1.8V
レイアウト面積	2.6	1.5	mm ²	
入力フルスケール	3.2	3.2	Vpp	差動 ±(VREFP-VREFN)
INL	±4	±4	LSB	デジタル補正使用
DNL	1以下	1以下	LSB	ミッシングコード無し
SNR	82	83	dBFS	Signal=-1dBFS
入力換算ノイズ	1.9	1.7	LSB rms	無信号
アナログ入力帯域	100以上	100以上	MHz	BW-3dB
アナログ入力容量	6	6	pF	ADC内のみ、I/O等を除く
基準電圧入力 +	2.3	2.3	V	VREFP端子 HiZ受け
基準電圧入力 -	0.7	0.7	V	VREFN端子 HiZ受け
コモンモード電圧	1.5	1.5	V	VCM端子 HiZ受け
線形性補正用コード	136	136	bit	8bit x17Word

Pipeline ADCの評価条件と結果

- 16bit、50Msps、3.3V(184mW)、25°C
- DC特性
- INL=±4.0LSB、DNL<1.7LSB @16bit
- AC特性
- SNR=79.6dBFS、SFDR=88.9dBc
- SNDR=79.2dBFS

パイプラインADC (サンプルNo. 30)

アンプ電流1.25倍、デジタル補正有効



IPの紹介 [ADC]

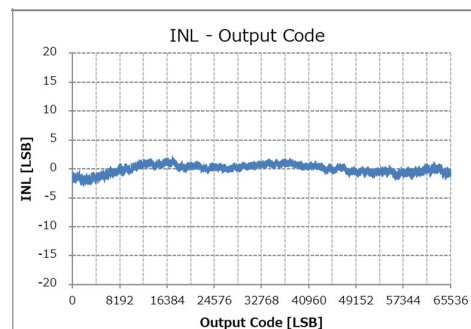
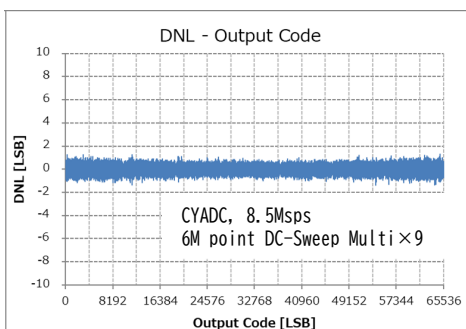
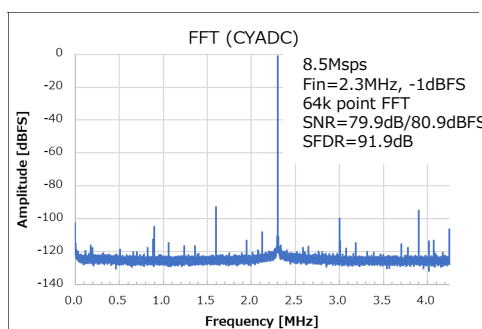
Pipeline / Cyclic ADC

Cyclic ADCの評価条件と結果

- 16bit、8.5MSPS、3.3V(59mW)、25°C
- DC特性
- INL=±2.9LSB、DNL<1.4LSB @16bit
- AC特性
- SNR=80.9dBFS、SFDR=91.9dBc
- SNDR=80.5dBFS

サイクリックADC (サンプルNo. 30)

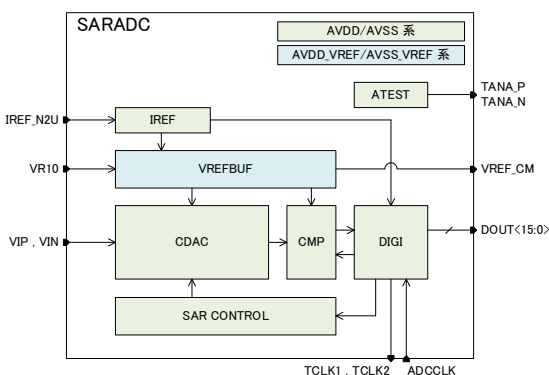
デジタル補正有効



SAR / OS-SAR ADC

特徴

- 高い電力効率
- VREFバッファ内蔵
- クロックレス
- 小面積
- 入力切替



項目	設計値		単位	備考
	SAR ADC	OS-SAR ADC		
分解能	12	16	bit	
サンプリングレート	10M	100k	Sps	OS-SARはOSR=64の場合
クロック入力	10	6.4	MHz	OS-SARはOSR=64の場合
データレイテンシ	1	1~	CLK	OS-SARはフィルタ次第
電源電圧 アナログ	1.8	1.8	V	
電源電圧 デジタル	1.8	1.8	V	
消費電力	1.7	1.3	mW	アナログ+デジタル
レイアウト面積	0.15	0.25	mm ²	
入力フルスケール	2.6	2.6	V _{pp}	差動
INL	±2	±7	LSB	
DNL	1以下	1以下	LSB	ミッシングコード無し
SNR	69	84	dBFS	Signal=-1dBFS
入力換算ノイズ	0.5	1.7	LSB _{rms}	無信号
アナログ入力帯域	5	DC	MHz	BW-3dB
アナログ入力容量	1.5	1.5	pF	ADC内のみ、I/O等を除く
基準電圧入力	1.0	1.0	V	VR10端子 HiZ受け
ADC基準電圧	1.5	1.5	V	VREF 内部生成
コモンモード電圧	0.85	0.85	V	アナログ入力端子

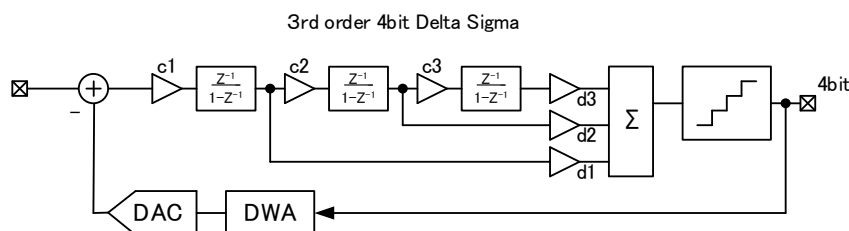
IPの紹介 [ADC/DAC]

DeltaSigma ADC 【開発中】

特徴

- 高いSNR
- 補正無しでも高い線形性を確保
- 面積が小さい
- 消費電力が小さい
- 帯域 DC~20KHz（音声）
- VREF Buffer 内蔵

項目	設計値	単位	備考
電源電圧	1.8	V	
基準電圧	1.5	V	
入力電圧	± 1.5	V	差動
分解能	24	bits	
SNR	100以上	dB	@1KHz
消費電力	1.0	mW	VREF Bufferを含む
サンプリングレート	48	ksp/s	BW=20KHz
オーバーサンプリング周波数	3.072	MHz	Min:0.1MHz, max:6.144MHz
オーバーサンプリング比	64		選択可能 (32/64/128/256)
レイアウト面積	0.3	mm ²	

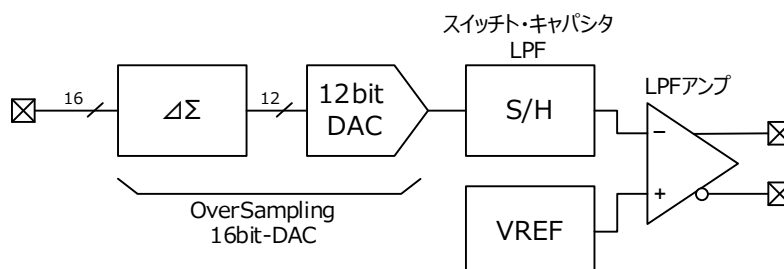


OS-DAC 【開発中】

特徴

- OverSampling機能を用た高精度で小面積な16bitDAC
→ 高精度、低電力、小面積、低グリッジ
- 補正無しでも高い線形性を確保
- 12bitDAC + $\Delta\Sigma$ 変調 + 出力段LPF構成による16bit化
- VREF バッファ内蔵
- 12bitDACへのモード切替機能、低省電力化
- 5V/3.3Vの電源に対応

項目	設計値 5V	設計値 3.3V	単位	備考
分解能	16	16	bit	
サンプリングレート	2	2	MHz	
DNL	± 1	± 1	LSB	
INL	± 4	± 4	LSB	
LPF帯域	25	25	KHz	
出力レンジ	2.048	2.048	V	0.3V~2.348V
電源電圧	5	3.3	V	
消費電流	925	895	uA	センタコードで取得
面積	0.48	0.48	mm ²	



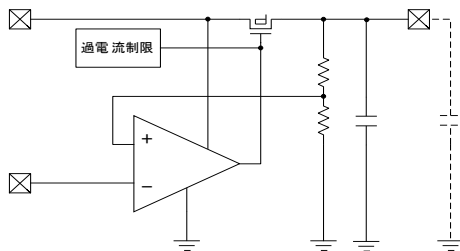
IPの紹介 [電源]

LD018 【開発中】

特徴

- レギュレータ、2.6~5.5V入力で1.8V出力
- キャプレス&外付け容量(~0.1uF)両対応
→外付け容量でより高周波の応答が可能
- 低消費電流：42uA@typ
- 高速応答：SAR-ADC(10MHz&非同期)の駆動可能
- 電源電圧：2.6V~5.5V

項目	設計値	単位	備考
出力電圧 (Vout)	$1.8 \pm 3\%$	V	3 σ 加味
出力電流 (Iout)	$10 <$	mA	
ラインレギュレーション	< 0.3	mV/V	VDD=2.65~5.5V、Iout=10mA
ロードレギュレーション	< 2.6	mV	Iout=0m~10mA
過電流クランプ電流	< 68	mA	Vout=0~5.5V
電源電圧 (VDD)	2.6~5.5	V	
消費電流	< 50	uA	Iout=100uA
レイアウト面積	0.13	mm ²	内蔵容量200pF含む

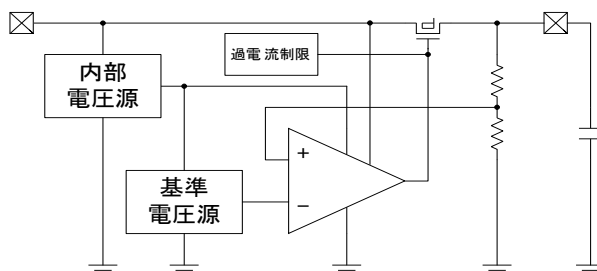


LD050 【開発中】

特徴

- 高耐圧レギュレータ、単一電源(6~36V)で5V出力
- BGR内蔵
- 過電流保護機能：100mA@短絡時MAX
- 出力電流：50mA@MAX
- 外付け容量：1~10uF
- 低消費電流：30uA@無負荷時TYP
- 電源電圧：6.0V~36V

項目	設計値	単位	備考
出力電圧 (Vout)	$5.0 \pm 3\%$	V	3 σ 加味
出力電流 (Iout)	$59 <$	mA	
ラインレギュレーション	< 0.001	%/V	VDD=6~36V、Iout=30mA
ロードレギュレーション	< 20	mV	Iout=1m~50mA、VDD=12V
過電流クランプ電流	< 93	mA	地絡時(Vout=0V)
電源電圧 (VDD)	6~36	V	
消費電流 重負荷時	< 110	uA	Iout=30mA
消費電流 無負荷時	< 60	uA	Iout=0mA
レイアウト面積	0.35	mm ²	



IPの紹介 [センサー入力アンプ]

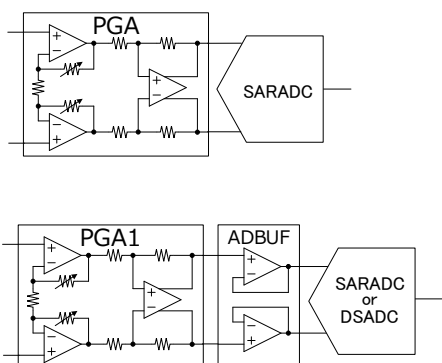
PGA【開発済】 / PGA1【開発中】

特徴

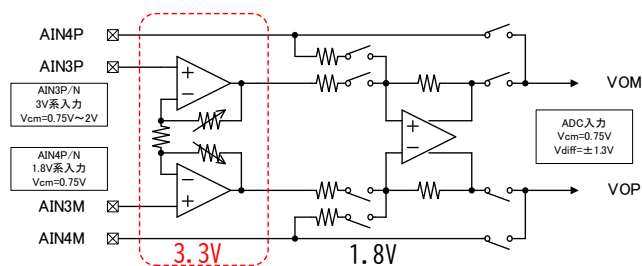
- 共通
 - ゲイン1~128倍
 - ADCのOverSampling機能と組み合わせて高精度
 - ADC同期チョッピングによるオフセット低減
 - HiZ入力+コモンモード電圧変換機能
 - 5V~1.8V プロセスにポーティング可能
- PGA
 - SARADCに最適化
 - SARADC入力容量を駆動できるバッファ機能
- PGA1
 - 出力にADBUFを接続することで幅広いADCに対応

項目	PGA【開発済】	PGA1【開発中】		単位	備考
	設計値	設計値 5V	設計値 3.3V		
アンプゲイン設定	1~128			倍	2倍刻み、8通り
帯域 -3dB	2.4	2.2	2.2	MHz	x4倍設定時
入力換算ノイズ	109	95		uVrms	x4倍、フィルタ無
入力換算ノイズ	20	17		uVrms	x4倍、OSR=32
電源電圧	3.3/1.8	5	3.3	V	
消費電流	393	444	459	uA	x4倍設定、Typ
レイアウト面積	0.09	0.12		mm2	

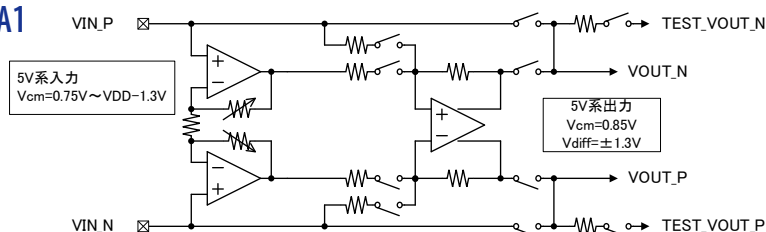
接続イメージ



PGA



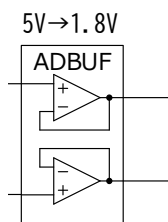
PGA1



ADBUF【開発中】

特徴

- ADCに最適化した入力バッファアンプ
- 広入力電圧範囲
- 広出力容量範囲(幅広いADCの入力容量に対応)
- 幅広いADCに対応するための切替機能搭載
 - ・オペアンプの特性切替
 - ・アンチエリアシングフィルター帯域切替
- チョッピングによるオフセット低減
- 5V/3.3Vの電源に対応



項目	設計値 SAR-OS	設計値 DSSADC	単位	備考
アンプゲイン設定	1		倍	固定
AAF帯域	0.06~5.7		MHz	
帯域 -3dB	17	14.5	MHz	
入力換算ノイズ	80	43	uVrms	
出力負荷容量	2	8.5	pF	
電源電圧	5.0(3.3)/1.8		V	
消費電流 5.0(3.3)V	38	150	uA	
消費電流 1.8V	196	661	uA	
レイアウト面積	0.047		mm2	

SAR-OS : I_{bias}=x4倍設定, DSADC : I_{bias}=x16倍設定

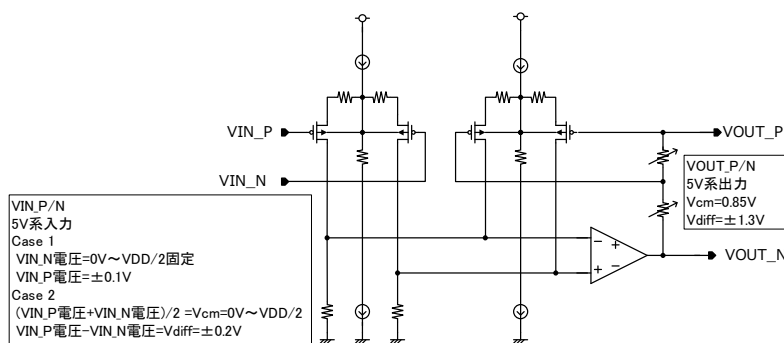
IPの紹介 [センサー入力アンプ]

CFBA【開発中】

特徴

- 0V付近の入力をHi-Zで受けて増幅するPGA
Current FeedBack AMP (CFBA) 構成を採用
- ゲイン1~128倍
- ADCのOverSampling機能と組み合わせて高精度
- ADC同期チョッピングによるオフセット低減
- ADC入力バッファ(HiZ受け)への出力を想定
- HiZ入力+コモンモード電圧変換機能
- 5V/3.3Vの電源に対応

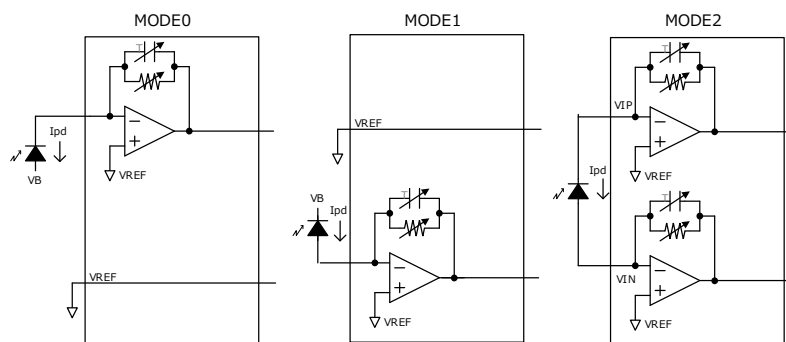
項目	設計値 5V	設計値 3.3V	単位	備考
アンプゲイン設定	1~128	1~128	倍	2倍刻み、8通り
帯域 -3dB	3.4	3.4	MHz	x4倍設定時
入力換算ノイズ	103	104	uVrms	x4倍、フィルタ無
入力換算ノイズ	18	18	uVrms	x4倍、OSR=32
電源電圧	5	3.3	V	
消費電流 5V	467	473	uA	x4倍設定
レイアウト面積	0.17	0.17	mm2	



TIA_DIFF【開発中】

特徴

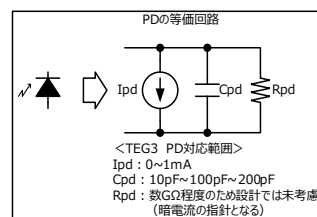
- 幅広い電流出力センサーに対応した
トランスインピーダンス・アンプ(TIA)
 - センス電流(Ipd)範囲: ~1mA
 - センサの出力寄生容量(Cpd)範囲: 10pF~200pF対応
- シングル出力のTIA回路を2つ搭載し差動に対応
- フォトダイオード(PD)の接続に合わせ、3モード選択可能
- トランスインピーダンスゲイン: 1k, 10k, 100kΩから選択
- 安定化容量内蔵: プログラム容量をmax. 80pF内蔵
→安定性の確保、広帯域雑音を減らすための帯域制限
- 5V/3.3Vの電源に対応



代表例. TIAゲイン=10kΩ、Cpd=100pF

項目	設計値 5V	設計値 3.3V	単位	備考
ゲイン(TIA)設定	1, 10, 100	1, 10, 100	kΩ	3通り選択可能
帯域 -3dB(MODE0, 1)	1.32	1.32	MHz	
帯域 -3dB(MODE2)	0.63	0.63	MHz	
入力電流ノイズ(MODE0, 1)	18	19	nArms	10Hz~1GHz
入力電流ノイズ(MODE2)	13	14	nArms	10Hz~1GHz
電源電圧	5	3.3	V	
消費電流(MODE0, 1)	196	190	uA	Ipd=0A
消費電流(MODE2)	391	381	uA	Ipd=0A
レイアウト面積	0.17	0.17	mm2	TIA 2ch

PDの等価回路



IPの紹介 [リファレンス]

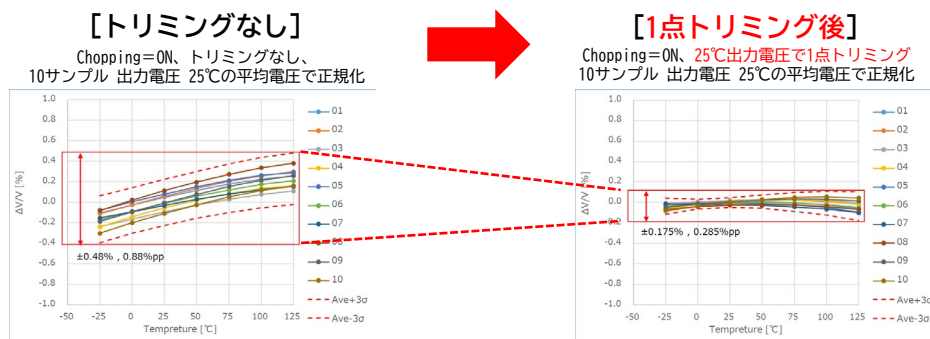
BGR

特徴

- 1.0V出力 基準電圧 $\pm 0.2\%$ /トリミング後
- チョッピング+温特カーブ補正
- 温度1点トリミングで高精度
- 低ノイズ 16uVrms /1Hz-1kHz
- 温特なし+PTAT電流出力機能（温度センサ兼用）
- 5V~1.8V プロセスにポーティング可能

項目	設計値	単位	備考
最低動作電圧	1.0	V	
出力電圧 はらつき 3σ -40~125°C	± 0.3 ± 0.1	%	トリミングなし トリミング後
出力電圧 温度係数 3σ	10以下	ppm/°C	トリミング後
出力ノイズ 1Hz-1kHz	16	uVrms	Cap追加で帯域制限
出力ノイズ 1Hz-10MHz	101	uVrms	
電源電圧	3.3	V	
消費電流	50	uA	Typ
クロック入力	3	MHz	
レイアウト面積	0.07	mm2	

【評価結果】トリミング前後の特性比較

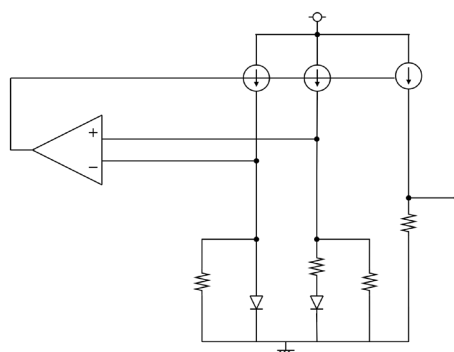


BGR_LP【開発中】

特徴

- 低電源電圧動作する低電力BGR(Low Power BGR)
- 1.0V出力 基準電圧 $\pm 3\%$
- 低動作電源電圧（最低動作電圧=1.2V）
- 低消費電流（7uA@typ）
- 小面積（BGRの約1/2サイズ）
- 5V/3.3Vの電源に対応

項目	設計値 5V	設計値 3.3V	単位	備考
最低動作電圧	1.2	1.2	V	
出力電圧 ばらつき 3σ -40~125°C	± 2.9	-	%	VDD=5V
電源電圧	5	3.3	V	
消費電流	6.9	6.7	uA	Typ
レイアウト面積	0.039	0.039	mm2	



IPの紹介 [リファレンス]

RCOSC

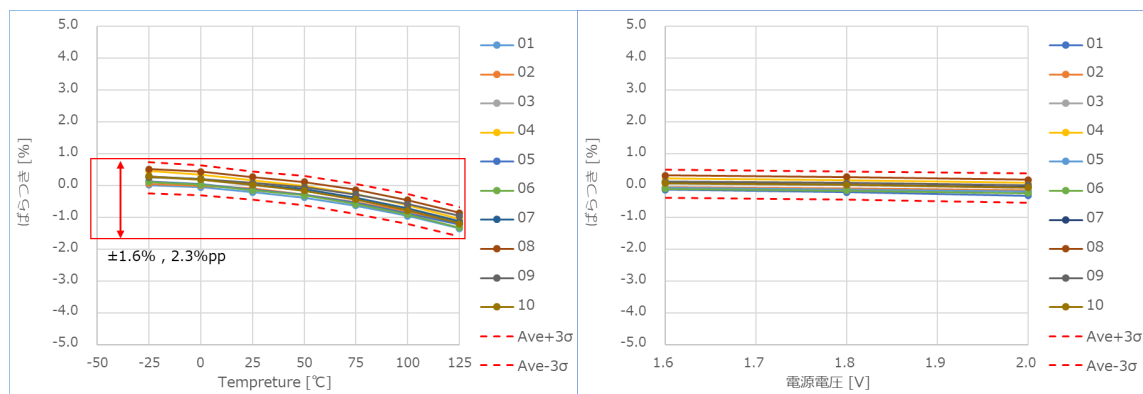
特徴

- 5M-80MHz RC-OSC $\pm 1.5\%$ /トリミング後
- 温度1点+周波数1点トリミングで高精度
- 素子経年劣化の影響を抑える回路構成
- 周波数設定
- スペクトラム拡散機能あり
- 5V~1.8V プロセスにポーティング可能

項目	設計値	単位	備考
出力周波数	5-80	MHz	
周波数設定ステップ	1.25	MHz	
周波数 ばらつき 3σ	± 1.5	%	
スペクトラム拡散幅	± 4	%	
電源電圧	1.8	V	
消費電流	77	μA	40MHz Typ
	20	μA	5MHz Typ
レイアウト面積	0.03	mm^2	

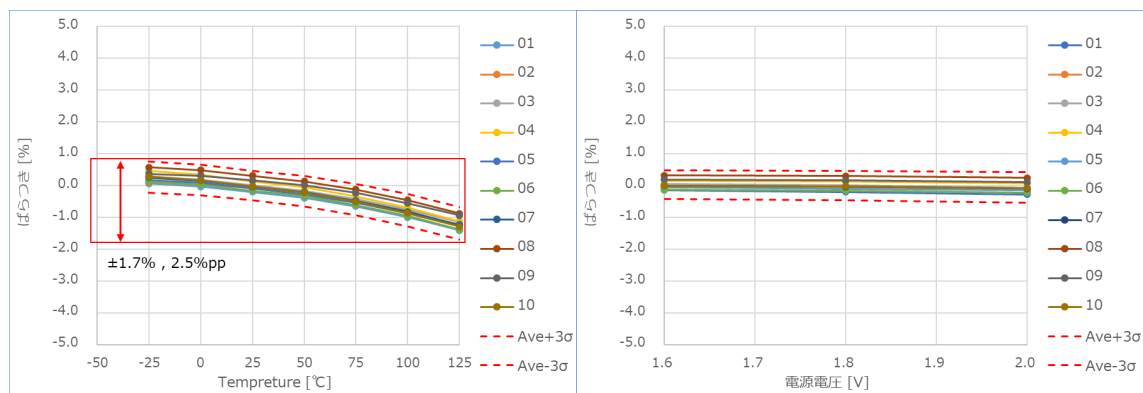
評価結果

40MHz出力 @40MHzトリミング
10サンプル 出力周波数 25°C/1.8Vの平均周波数で正規化



40MHzでトリミング後に
80MHzに設定変更しても精度維持できる

80MHz出力 @40MHzトリミング
10サンプル 出力周波数 25°C/1.8Vの平均周波数で正規化





<https://www.sanei-hy.co.jp/>